

Docket No.: SON-2827
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Mitsuru Asano, et al.

Application No.: Not Yet Assigned

Filed: September 23, 2003

Art Unit: N/A

For: ACTIVE-MATRIX DISPLAY DEVICE AND
METHOD OF DRIVING THE SAME

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

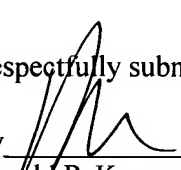
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2002-298428	October 11, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 23, 2003

Respectfully submitted,

By 

Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 1 1 日

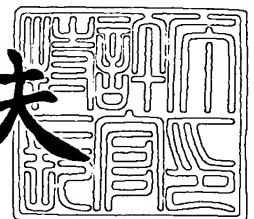
出 願 番 号
Application Number: 特 願 2 0 0 2 - 2 9 8 4 2 8
[ST. 10/C]: [J P 2 0 0 2 - 2 9 8 4 2 8]

出 願 人
Applicant(s): ソニー株式会社

2 0 0 3 年 7 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 1 0 5 5

【書類名】 特許願

【整理番号】 0290583302

【提出日】 平成14年10月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/00
G09G 3/30

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 浅野 慎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 湯本 昭

【特許出願人】

【識別番号】 000002I85

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 マトリクス状に複数配列された画素回路と、
前記画素回路のマトリクス配列に対して列毎に配線された信号線と、
前記画素回路のマトリクス配列に対して行毎に配線された第一、第二、第三および第四の走査線とを備え、
前記画素回路の各々が、
ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、
一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと、
一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、
ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、
ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、
ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、
ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、
前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有する
ことを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記第三のトランジスタと前記第五のトランジスタとが同導電型であり、前記第二の走査線と前記第四の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 3】 前記第三のトランジスタと前記第四のトランジスタとが逆導電型であり、前記第二の走査線と前記第三の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 4】 前記第四のトランジスタと前記第五のトランジスタとが逆導電型であり、前記第三の走査線と前記第四の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記第三のトランジスタおよび前記第五のトランジスタと前記第四のトランジスタとが逆導電型であり、前記第二の走査線と前記第三の走査線と前記第四の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 6】 前記第一の電源線と前記第三の電源線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 7】 前記第三の電源線の電源電圧が前記第一の電源線の電源電圧よりも低い

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 8】 前記第三の電源線の電源電圧が可変である

ことを特徴とする請求項 7 記載のアクティブマトリクス型表示装置。

【請求項 9】 前記第一乃至第五のトランジスタがポリシリコン薄膜トランジスタである

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 10】 前記表示素子が、第一、第二の電極およびこれらの電極間に挟持された発光層を含む有機層を有する有機エレクトロルミネセンス素子である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 11】 マトリクス状に複数配列された画素回路と、

前記画素回路のマトリクス配列に対して列毎に配線された信号線と、

前記画素回路のマトリクス配列に対して行毎に配線された第一、第二、第三および第四の走査線とを備え、

前記画素回路の各々が、

ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、

一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと

、

一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、

ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、

ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、

ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、

ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、

前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有するアクティブマトリクス型表示装置の駆動方法であって、

前記第一、第四のトランジスタをオフ、前記第三、第五のトランジスタをオンとして、画素毎に前記第二のトランジスタのしきい値電圧の補正を行い、

しかる後前記第一のトランジスタをオン、前記第三、第五のトランジスタをオフとして、前記信号線より画素への表示データの書き込みを行う

ことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 1 2】 同一の前記信号線に接続される異なる行の画素において、前記しきい値電圧の補正を行う期間と、前記表示データの書き込みを行う期間とが並行して存在する

ことを特徴とする請求項 1 1 記載のアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、表示素子を有する画素（画素回路）がマトリクス状に配置され、走査線、信号線によって画像データの書き込み、表示を行うアクティブマトリクス型表示装置およびその駆動方法に関し、特に表示素子として例えば有機エレクトロルミネセンス（electroluminescence；EL）素子を用いたアクティブマトリクス型有機EL表示装置およびその駆動方法に関する。

【0002】**【従来の技術】**

アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機EL素子等の電気光学素子が用いられる。そのうち、有機EL素子は有機材料からなる層、即ち有機層を電極で挟み込んだ構造を持っている。この有機EL素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機EL素子は以下のような特長を持っている。

【0003】

- 1) 10V以下の低電圧駆動で、数100～数10000cd/m²の輝度が得られることから低消費電力化が可能である。
- 2) 自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。
- 3) シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。

これらの特長を持つ有機EL素子を画素の表示素子として用いた有機EL表示装置（以下、有機ELディスプレイと記す）は、次世代のフラットパネルディスプレイとして有望視されている。

【0004】

ところで、有機ELディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方式のうち、アクティブマト

リクス方式には、以下のような特長がある。

1) 各画素における有機EL素子の発光を1フレーム期間に亘って保持できるアクティブマトリクス方式は、有機ELディスプレイの高精細化・高輝度化に適している。

2) 基板(パネル)上に、薄膜トランジスタを用いた周辺回路を作成することが可能であるため、パネル外部とのインターフェ이스の簡素化、パネルの高機能化が可能である。

【0005】

このアクティブマトリクス型有機ELディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ(Thin Film Transistor; TFT)を用いるのが一般的である。その理由は、ポリシリコンTFTは駆動能力が高く、画素サイズを小さく設計できることによって高精細化に有利だからである。このような特長を持つ反面、ポリシリコンTFTは特性のばらつきが大きいことも広く知られている。

【0006】

したがって、ポリシリコンTFTを用いる場合、その特性ばらつきを抑えること、また回路的にTFTの特性ばらつきを補償することは、ポリシリコンTFTを用いたアクティブマトリクス型有機ELディスプレイにおける大きな課題である。これは、次のような理由による。すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機ELディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。

【0007】

ここで、アクティブマトリクス型有機ELディスプレイの概要について説明する。図11に最も簡単なアクティブマトリクス型有機ELディスプレイの構成の概略を、図12にその画素回路の回路構成をそれぞれ示す(例えば、特許文献1参照)。アクティブマトリクス型有機ELディスプレイは、 $m \times n$ 個の画素101がマトリクス状に配列され、これら画素101のマトリクス配列に対してデータドライバ102によって駆動される m 列分の信号線103-1～103- m が

画素列毎に、スキンドライバ104によって駆動されるn行分の走査線105-1~105-nが画素行毎にそれぞれ配線された構成となっている。

【0008】

また、画素（画素回路）101は、図12から明らかなように、有機EL素子110、第一、第二のトランジスタ111、112およびキャパシタ113を有する構成となっている。ここでは、第一のトランジスタ111としてNチャネルトランジスタ、第二のトランジスタ112としてPチャネルトランジスタがそれぞれ用いられている。

【0009】

第一のトランジスタ111は、ソース端が信号線103（103-1~103-m）に、ゲート端が走査線105（105-1~105-n）にそれぞれ接続されている。キャパシタ113は、一端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線121に、他端が第一のトランジスタ111のドレイン端にそれぞれ接続されている。第二のトランジスタ112は、ソース端が第一の電源線121に、ゲート端が第一のトランジスタ111のドレイン端にそれぞれ接続されている。有機EL素子110は、アノード端が第二のトランジスタ112のドレイン端に、カソード端が電源電圧VCC2（例えば、グランド電位）の第二の電源線122にそれぞれ接続されている。

【0010】

上記構成の画素回路において、輝度データの書き込みを行う画素では、当該画素を含む画素行がスキンドライバ104によって走査線105を介して選択されることで、その行の画素の第一のトランジスタ111がオンする。このとき、輝度データはデータドライバ102から信号線103を介して電圧で供給され、第一のトランジスタ111を通してデータ電圧を保持するキャパシタ113に書き込まれる。キャパシタ113に書き込まれた輝度データは、1フィールド期間に亘って保持される。この保持されたデータ電圧は、第二のトランジスタ112のゲート端に印加される。

【0011】

これにより、第二のトランジスタ112は、保持データにしたがって有機EL

素子 110 を電流で駆動する。このとき、有機 EL 素子 110 の階調表現は、キャパシタ 113 によって保持される第二のトランジスタ 112 のゲート・ソース間電圧 V_{data} (< 0) を変調することによって行われる。

【0012】

一般に、有機 EL 素子の輝度 L_{oled} は、当該素子に流れる電流 I_{oled} に比例する。したがって、有機 EL 素子の輝度 L_{oled} と電流 I_{oled} との間には次式が成り立つ。

$$\begin{aligned} L_{oled} &\propto I_{oled} \\ &= k (V_{data} - V_{th})^2 \quad \dots\dots (1) \end{aligned}$$

【0013】

式 (1) において、 $k = 1/2 \cdot \mu \cdot C_{ox} \cdot W/L$ である。ここで、 μ は第二のトランジスタ 112 のキャリアの移動度、 C_{ox} は第二のトランジスタ 112 の単位面積当たりのゲート容量、 W は第二のトランジスタ 112 のゲート幅、 L は第二のトランジスタ 112 のゲート長である。したがって、第二のトランジスタ 112 の移動度 μ 、しきい値電圧 V_{th} (< 0) のばらつきが、直接的に、有機 EL 素子の輝度ばらつきに影響を与えることがわかる。

【0014】

これに対して、特に、輝度ばらつきが問題になり易いしきい値電圧 V_{th} を補償可能な画素回路として、しきい値電圧補正型画素回路が考案されている（例えば、特許文献 2 参照）。

【0015】

図 13 は、従来例に係るしきい値電圧補正型画素回路の構成を示す回路図であり、図中、図 12 と同等部分には同一符号を付して示している。図 13 から明らかなように、この従来例に係るしきい値電圧補正型画素回路は、有機 EL 素子 110、4 つのトランジスタ 111, 112, 114, 115 および 2 つのキャパシタ 113, 116 を有する構成となっている。なお、本画素回路を用いる有機 EL ディスプレイでは、スキヤンドライバ 104（図 11 参照）によって駆動される走査線として、3 本の走査線 105A, 105B, 105C が画素行毎に配線されることになる。

【0016】

第一のトランジスタ111は、ソース端が信号線103に、ゲート端が第一の走査線105Aにそれぞれ接続されている。第一のキャパシタ116は、一端が第一のトランジスタ111のドレイン端に接続されている。第二のトランジスタ112は、ゲート端が第一のキャパシタ116の他端に、ソース端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線121にそれぞれ接続されている。第二のキャパシタ113は、一端が第一の電源線121に、他端が第二のトランジスタ112のゲート端にそれぞれ接続されている。

【0017】

第三のトランジスタ114は、ゲート端が第二の走査線105Bに、ソース端が第二のトランジスタ112のゲート端に、ドレイン端が第二のトランジスタ112のドレイン端にそれぞれ接続されている。第四のトランジスタ115は、ゲート端が第三の走査線105Cに、ソース端が第二のトランジスタ112のドレイン端にそれぞれ接続されている。有機EL素子110は、アノード端が第四のトランジスタ115のドレイン端に、カソード端が電源電圧VCC2（例えば、グラウンド電位）の第二の電源線122にそれぞれ接続されている。

【0018】

次に、上記構成の従来例に係るしきい値電圧補正型画素回路の回路動作について、図14のタイミングチャートを用いて説明する。このタイミングチャートでは、i行目およびi+1行目の画素回路についてその駆動時のタイミング関係を示している。また、図14のタイミングチャートにおいて、「補正」はしきい値電圧補正期間を、「書込」はデータ書込期間を、「保持」はデータ保持期間をそれぞれ表している。

【0019】

本画素回路の動作では、データ書込期間に先立ってしきい値電圧補正期間が存在する。このしきい値電圧補正期間において、第一の走査線105Aを介して与えられる走査パルスSCAN1が高レベル（以下、“H”レベルと記す）になることで第一のトランジスタ111がオンし、信号線103にはデータドライバ102から固定電位Voが供給される。これにより、この固定電位Voが第一のトラ

ンジスタ 111 を介して第一のキャパシタ 116 に書き込まれる。このとき、第二の走査線 105B を介して与えられる走査パルス SCAN2 も “H” レベルになるため第三のトランジスタ 114 がオンし、また第三の走査線 105C を介して与えられる走査パルス SCAN3 が低レベル（以下、“L” レベルと記す）にあるため第四のトランジスタ 115 がオフ状態にある。

【0020】

この状態において、一端側の電位が固定電位 V_o にある第一のキャパシタ 116 は、その他端側から第三のトランジスタ 114 のソース・ドレインを介して充電される。そして、しきい値電圧補正期間が十分に長ければ、第一のキャパシタ 116 の他端側の電位、即ち第二のトランジスタ 112 のゲート・ソース間電圧は、トランジスタのしきい値電圧 V_{th} (< 0) に収束する。

【0021】

次のデータ書込期間においては、走査パルス SCAN1 が “H” レベルを維持しているため第一のトランジスタ 111 がそのままオン状態にあり、信号線 102 からはデータ電位 $V_o + V_{data}$ ($V_{data} < 0$) が供給される。このとき、走査パルス SCAN2 が “L” レベルにあるため第三のトランジスタ 114 はオフしている。

【0022】

ここで、トランジスタのゲート容量、寄生容量等を見捨てるものとする、第二のトランジスタ 112 のゲート・ソース間電圧 V_{gs} は次式で表される。

$$V_{gs} = V_{th} + C_1 / (C_1 + C_2) \cdot V_{data} \quad \dots (2)$$

なお、 C_1 、 C_2 は、第一、第二のキャパシタ 116、113 の各容量値を表している。

【0023】

式 (2) を用いることで、有機 EL 素子 110 に流れる電流 I_{oled} は、次式のように表される。

$$\begin{aligned} L_{oled} &\propto I_{oled} \\ &= k \{ C_1 / (C_1 + C_2) \cdot V_{data} \}^2 \quad \dots (3) \end{aligned}$$

【0024】

式(3)から明らかなように、有機EL素子110に流れる電流 I_{oled} は、第二のトランジスタ112のしきい値電圧 V_{th} に依存しないことがわかる。すなわち、従来例に係るしきい値電圧補正型画素回路を用いることで、画素毎の第二のトランジスタ112のしきい値電圧 V_{th} を補正されていることがわかる。このことは、第二のトランジスタ112のしきい値電圧 V_{th} のばらつきが、有機EL素子110の輝度ばらつきに影響を与えないことを意味している。

【0025】

【特許文献1】

特開平8-234683号公報

【特許文献2】

米国特許第6,229,506号明細書

【0026】

【発明が解決しようとする課題】

ところで、上述した従来例に係るしきい値電圧補正型画素回路では、しきい値電圧補正期間において、第二のトランジスタ112はソース・ゲート間電圧がしきい値電圧 V_{th} に向けて変化するにしたがって徐々にオフ状態に近づき、これに伴って動作が緩慢になるため、第二のトランジスタ112のソース・ゲート間電圧がしきい値電圧 V_{th} に収束するのに時間がかかる。したがって、しきい値電圧補正期間としては十分に長い時間が必要となる。

【0027】

しきい値電圧補正期間での第二のトランジスタ112のゲート電圧に関する微分方程式は、次式のように表される。

$$k \cdot \{V_{gs}(t) - V_{th}\}^2 = -C_s \cdot dV_{gs}/dt \quad \dots (4)$$

式(4)において、十分なしきい値電圧補正期間として、電流が最小輝度時の $1/2$ になる時間を考える。

【0028】

有機EL素子110の最高輝度時の電流値を I_{max} 、第二のトランジスタ112のゲート・ソース間電圧 V_{gs} の初期値を V_{init} 、第二のトランジスタ112のゲート電圧の保持容量を(主に第二のキャパシタ113の容量 C_1) C_s 、階

調数を n 、最高輝度時の電流値 I_{\max} を与えるゲート・ソース間電圧 V_{gs} を $V_{gs} = \Delta V + V_{th}$ とすると、電流が最小輝度時の $1/2$ である $I_{\max}/2$ ($n-1$) になるのに要する時間は次式で表される。

$$t = C_s \cdot \Delta V / I_{\max} \sqrt{(2n-2) - \Delta V / V_{init}} \cdots (5)$$

【0029】

ここで、数値の一例として、 $C_s = 1$ [pF]、 $n = 64$ 、 $\Delta V = 4$ 、 $I_{\max} = 1$ [μA] とし、第二項は十分小さい場合を考えると、 $t = 45$ [μs] である。一方、解像度（グラフィックス表示規格）VGA、走査線 480 本、フレーム周波数 60 Hz の場合、1 水平期間は約 30 μs であり、1 水平期間の間でしきい値電圧期間を終了するのが難しいことがわかる。

【0030】

このように、十分なしきい値電圧補正期間としては、VGA クラスのディスプレイでは数 μs ～ 数 10 μs の時間が必要であるため、1 水平期間内にしきい値電圧補正期間とデータ書込期間とを連続して行うことは難しい。換言すれば、VGA クラスの有機 EL ディスプレイには、従来例に係るしきい値電圧補正型画素回路を適用できないことになる。また、ディスプレイが高精細化するに連れて 1 水平期間は走査線数に反比例して短くなるため、より一層、十分なしきい値電圧補正期間の確保が難しくなることがわかる。

【0031】

また、従来例に係るしきい値電圧補正画素回路では、信号線 103 がしきい値補正期間、データ書込期間のそれぞれに相当した信号線電位、即ちしきい値補正期間では固定電位 V_o 、データ書込期間ではデータ電位 $V_{data} +$ 固定電位 V_o をそれぞれ供給する必要があるため、信号線駆動回路であるデータドライバ 102（図 11 参照）の構成が複雑になり易い。

【0032】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、しきい値電圧補正型画素回路を用いることによって表示画像の均一性を向上させながら、1 水平期間の長さに関わらず十分なしきい値電圧補正期間を確保することによって高精細化を可能としたアクティブマトリクス型表示装置およびその駆

動方法を提供することにある。

【0033】

【課題を解決するための手段】

本発明によるアクティブマトリクス型表示装置は、マトリクス状に複数配列された画素回路と、前記画素回路のマトリクス配列に対して列毎に配線された信号線と、前記画素回路のマトリクス配列に対して行毎に配線された第一、第二、第三および第四の走査線とを備え、画素回路の各々が、ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと、一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有する構成となっている。

【0034】

そして、上記構成のアクティブマトリクス型表示装置において、前記第一、第四のトランジスタをオフ、前記第三、第五のトランジスタをオンとして、画素毎に前記第二のトランジスタのしきい値電圧の補正を行い、しかる後前記第一のトランジスタをオン、前記第三、第五のトランジスタをオフとして、前記信号線より画素への表示データの書き込みを行うように駆動する。前記第二のトランジスタのしきい値電圧の補正を行う期間では、第五のトランジスタが第三の電源線の電源電圧を固定電位として第一のキャパシタに供給する。

【0035】

このように、しきい値電圧の補正に必要となる固定電位を、信号線とは異なる

電源線から供給することで、ある画素について他画素で信号線から表示データの書き込みを行うのと並行してしきい値電圧の補正を行うことが可能になる。これより、ある画素行に注目した場合、1 水平期間をデータ書込期間として設定できるとともに、その直前にしきい値電圧補正期間として任意の期間を設定できるため、しきい値電圧補正期間として十分に長い期間を確保できる。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、例えば画素の表示素子として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT）をそれぞれ用い、当該薄膜トランジスタを形成した基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイに適用した場合を例に採って説明するものとする。

【0037】

図1において、 $m \times n$ 個の画素（画素回路）11の各々は表示素子として有機EL素子を持ち、マトリクス状に配列されている。これら画素11のマトリクス配列に対し、信号線駆動回路であるデータドライバ12によって駆動される m 列分の信号線（データ線）信号線13-1～13- m が画素列毎に配線され、また走査線駆動回路であるスキンドライバ14によって駆動される複数系統、例えば4系統の n 行分の走査線15A-1～15A- n ，15B-1～15B- n ，15C-1～15C- n ，15D-1～15D- n が画素行毎にそれぞれ配線されている。

【0038】

上記構成のアクティブマトリクス型有機ELディスプレイにおいて、本発明では、画素11（画素回路）の具体的な回路構成およびその回路動作を特徴としている。以下に、画素11について具体的な回路例をいくつか挙げ、それらについて詳細に説明する。

【0039】

〔第一回路例〕

図2は、第一回路例に係る画素回路11Aの構成を示す回路図である。図2から明らかなように、本回路例に係る画素回路11Aは、有機EL素子20、5つのトランジスタ21～25および2つのキャパシタ26、27を有する構成となっている。有機EL素子20は、発光層を含む有機層を第1、第2の電極で挟み込んだ構造となっている。

【0040】

第一乃至第五のトランジスタ21～25は、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ（TFT）である。本回路例では、これらトランジスタ21～25のうち、第二のトランジスタ22としてPチャネルトランジスタを用い、それ以外のトランジスタ21、23～25としてNチャネルトランジスタを用いた構成を採っている。

【0041】

第一のトランジスタ21は、ソース端が信号線13に、ゲート端が第一の走査線15Aにそれぞれ接続されている。第一のキャパシタ26は、一端（入力端）が第一のトランジスタ11のドレイン端に接続されている。第二のトランジスタ22は、ゲート端が第一のキャパシタ26の他端（出力端）に、ソース端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線31にそれぞれ接続されている。

【0042】

第二のキャパシタ27は、一端が第一の電源線31に、他端が第二のトランジスタ22のゲート端にそれぞれ接続されている。第三のトランジスタ23は、ゲート端が第二の走査線15Bに、ソース端が第二のトランジスタ22のゲート端に、ドレイン端が第二のトランジスタ22のドレイン端にそれぞれ接続されている。第四のトランジスタ24は、ゲート端が第三の走査線15Cに、ソース端が第二のトランジスタ22のドレイン端にそれぞれ接続されている。

【0043】

第五のトランジスタ25は、ゲート端が第四の走査線15Dに、ソース端が電源電圧VCC3（例えば、正電源電圧）の第三の電源線33に、ドレイン端が第

一のトランジスタ 21 のドレイン端（第一のキャパシタ 26 の一端）にそれぞれ接続されている。電源電圧 V_{CC3} は、電源電圧 V_{CC1} とは異なる電圧値となっている。有機 EL 素子 20 は、アノード端が第四のトランジスタ 24 のドレイン端に、カソード端が電源電圧 V_{CC2} （例えば、グランド電位）の第二の電源線 32 にそれぞれ接続されている。

【0044】

上記構成の第一回路例に係る画素回路 11A では、同一データ線に接続された画素間で、データ書込期間としきい値電圧補正期間とが並行して存在するようにしている点を特徴としている。以下、データ書込期間およびしきい値電圧補正期間における各動作について、 i 行目の画素行の場合を例に挙げて図 3 のタイミングチャートを用いて説明する。図 3 のタイミングチャートにおいて、「補正」はしきい値電圧補正期間を、「書込」はデータ書込期間を、「保持」はデータ保持期間をそれぞれ表している。

【0045】

先ず、しきい値電圧補正期間において、スキャンドライバ 14（図 1 参照）から第一の走査線 15A を介して与えられる走査パルス $SCAN1(i)$ が“L”レベルであることによって第一のトランジスタ 21 がオフし、また第四の走査線 15D を介して与えられる走査パルス $SCAN4(i)$ が“H”レベルであることによって第五のトランジスタ 25 がオンする。これにより、第一のキャパシタ 26 の入力端には、第 3 の電源線 33 から第五のトランジスタ 25 を通して電源電圧 V_{CC3} が固定電位 V_o として供給される。

【0046】

このとき、第二の走査線 15B を介して与えられる走査パルス $SCAN2(i)$ が“H”レベルであることによって第三のトランジスタ 23 がオンし、第三の走査線 15C を介して与えられる走査パルス $SCAN3(i)$ が“L”レベルであることによって第四のトランジスタ 24 がオフする。これにより、第一のキャパシタ 26 は出力端側から第三のトランジスタ 23 のソース・ドレインを介して充電される。その際、しきい値電圧補正期間が十分に長ければ、第二のトランジスタ 22 のゲート・ソース間電圧は、トランジスタのしきい値電圧 V_{th} (< 0) に

収束する。

【0047】

次のデータ書込期間に入ると、走査パルス $SCAN1(i)$ が “H” レベルとなることで第一のトランジスタ 21 がオンし、走査パルス $SCAN4(i)$ が “L” レベルとなることで第五のトランジスタ 25 がオフする。これにより、信号線 13 から第一のトランジスタ 21 を通してデータ電位 $V_o + V_{data}$ ($V_{data} < 0$) が供給される。その際、走査パルス $SCAN2(i)$ が “L” レベルであることによって第三のトランジスタ 23 はオフ状態にある。

【0048】

この第一回路例に係る画素回路 11A においても、先の式 (2), (3) が同様に成り立つため、有機 EL 素子 20 に流れる電流 I_{oled} は、トランジスタのしきい値電圧 V_{th} に依存しないことがわかる。すなわち、画素毎の第二のトランジスタ 22 のしきい値電圧 V_{th} が補正されていることがわかる。

【0049】

また同様に、しきい値電圧補正期間に必要な時間は、先の式 (4), (5) で表される。しかし、本回路例に係る画素回路 11A においては、しきい値電圧補正期間における第一のキャパシタ 26 の入力端の信号線 13 との接続を第一のトランジスタ 21 によって制御し、電源線 33 との接続を第五のトランジスタ 25 によって制御する構成を採っている。したがって、しきい値電圧補正期間にはキャパシタ 26 の入力端を電源線 33 と接続して電源電圧 V_{CC3} を固定電位 V_o として与え、データ書込期間にはキャパシタ 26 の入力端を信号線 13 に接続してデータ電位 $V_o + V_{data}$ を与えることが可能となる。

【0050】

このように、キャパシタ 26 の入力端の接続先をしきい値電圧補正期間とデータ書込期間とで切替え制御することにより、ある画素が信号線 13 よりデータの書き込みを行っているデータ書込期間にあるのと並行して、別の画素を電源線 33 と接続することによってしきい値電圧補正期間にすることが可能である。また同時に、複数画素をしきい値電圧補正期間にすることも容易である。その結果、しきい値電圧補正期間として十分に長い期間を確保することが可能になる。

【0051】

具体的には、第一回路例に係る画素回路 11A においては、図 3 のタイミングチャートから明らかなように、ある画素行に注目した場合、1 水平期間をデータ書込期間とするとともに、その直前の 2 水平期間をしきい値電圧補正期間としていることがわかる。また、ある時間に注目した場合、1 つの画素 (i 行目) がデータ書込期間であるのと並行して、別の 2 つの画素 ($i+1$ 行目と $i+2$ 行目) がしきい値電圧補正期間にあることがわかる。

【0052】

これにより、1 水平期間内にしきい値電圧補正期間とデータ書込期間を持つ必要がなく、ディスプレイの高精細化と、十分に長いしきい値電圧補正期間の確保による均一性の良い表示画像を同時に実現することが可能になる。また、図 3 のタイミングチャートから明らかなように、信号線 13 は輝度データのみを順次供給すれば良いため、信号線 13 の駆動波形も容易であり、汎用的な液晶ディスプレイ等と同様の波形での駆動が可能である。したがって、信号線駆動回路であるデータドライバ 12 (図 1 参照) を簡単な回路構成にて実現できる。

【0053】

[第二回路例]

図 4 は、第二回路例に係る画素回路 11B の構成を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。図 4 から明らかなように、本回路例に係る画素回路 11B も、第一回路例に係る画素回路 11A と同様に、有機 EL 素子 20、5 つのトランジスタ 21~25 および 2 つのキャパシタ 26, 27 を有する構成となっている。本回路例に係る画素回路 11B が、構成上、第一回路例に係る画素回路 11A と異なるのは、第二のキャパシタ 27 の接続位置の点だけである。

【0054】

以下に、各回路素子の接続関係について具体的に説明する。第一のトランジスタ 21 は、ソース端が信号線 13 に、ゲート端が第一の走査線 15A にそれぞれ接続されている。第一のキャパシタ 26 は、一端 (入力端) が第一のトランジスタ 11 のドレイン端に接続されている。第二のトランジスタ 22 は、ゲート端が

第一のキャパシタ 26 の他端（出力端）に、ソース端が電源電圧 V_{CC1} （例えば、正電源電圧）の第一の電源線 31 にそれぞれ接続されている。

【0055】

第二のキャパシタ 27 は、一端が第一の電源線 31 に、他端が第一のトランジスタ 21 のドレイン端（第一のキャパシタ 26 の他端）にそれぞれ接続されている。第三のトランジスタ 23 は、ゲート端が第二の走査線 15B に、ソース端が第二のトランジスタ 22 のゲート端に接続され、ドレイン端が第二のトランジスタ 22 のドレイン端にそれぞれ接続されている。第四のトランジスタ 24 は、ゲート端が第三の走査線 15C に、ソース端が第二のトランジスタ 22 のドレイン端にそれぞれ接続されている。

【0056】

第五のトランジスタ 25 は、ゲート端が第四の走査線 15D に、ソース端が電源電圧 V_{CC3} （例えば、正電源電圧）の第三の電源線 33 に、ドレイン端が第一のトランジスタ 21 のドレイン端（第一のキャパシタ 26 の一端）にそれぞれ接続されている。有機 EL 素子 20 は、アノード端が第四のトランジスタ 24 のドレイン端に、カソード端が電源電圧 V_{CC2} （例えば、グランド電位）の第二の電源線 32 にそれぞれ接続されている。

【0057】

上記構成の第二回路例に係る画素回路 11B において、しきい値電圧補正、データ書き込みおよびデータ保持の各動作については第一回路例に係る画素回路 11A と基本的に同じである。また、第一回路例に係る画素回路 11A では先の式（2），（3）が成り立つとしたが、第二回路例に係る画素回路 11B においては次式（6），（7）が成り立つ。

$$V_{gs} = V_{th} + V_{data} \quad \cdots \cdots (6)$$

$$\begin{aligned} I_{oled} &\propto I_{oled} \\ &= k \{V_{data}\}^2 \quad \cdots \cdots (7) \end{aligned}$$

【0058】

式（6），（7）から明らかなように、本回路例に係る画素回路 11B でも、有機 EL 素子 20 に流れる電流 I_{oled} は、トランジスタのしきい値電圧 V_{th} に

依存しないことがわかる。すなわち、画素毎の第二のトランジスタ 22 のしきい値電圧 V_{th} が補正されていることがわかる。また、データの入力電圧振幅 V_{data} が、そのまま第二のトランジスタ 22 のゲート電圧振幅となるため、信号線 13 の振幅を小さくすることが可能であり、低消費電力化が可能である。

【0059】

ところで、しきい値電圧補正型画素回路では、複数の走査線が必要となる。第一、第二回路例に係る画素回路 11A, 11B では、4 本の走査線 15A, 15B, 15C, 15D を用いている。しかし、このうち、第二の走査線 15B と第四の走査線 15D はしきい値電圧補正期間においてのみ第三、第五のトランジスタ 23, 5 をオン駆動し、第三の走査線 15C はしきい値電圧補正期間においてのみ第四のトランジスタ 24 をオフ駆動する必要がある。したがって、これら第二、第三、第四の走査線 15B, 15C, 15D のうちの 2 本または 3 本全てを共通化することが可能である。

【0060】

なお、第三の走査線 15C を他の 2 本の走査線 15B, 15D の少なくとも 1 本と共用するときには、第二、第三、第四の走査線 15B, 15C, 15D で駆動制御される第三、第四、第五のトランジスタ 23, 24, 25 のうち、第四のトランジスタ 24 については、第三、第五のトランジスタ 23, 25 と逆導電型であることが必要となる。

【0061】

以下、これらの回路例に係る画素回路について説明する。以下に説明する各回路例に係る画素回路では、第二のキャパシタ 27 を第一のキャパシタ 26 の入力端側に接続した構成を採る第二回路例に係る画素回路 11B を基本形として説明する。ただし、第一回路例に係る画素回路 11A を基本形として同様に構成することも可能である。

【0062】

[第三回路例]

図 5 は、第三回路例に係る画素回路 11C の構成を示す回路図であり、図中、図 4 と同等部分については同一符号を付して示している。本回路例に係る画素回

路 1 1 C においては、第二の走査線 1 5 B と第四の走査線 1 5 D とを共通化し、共通の走査パルス S C A N 2 によって第三のトランジスタ 2 3 と第五のトランジスタ 2 5 とを駆動する構成を採っている。

【0063】

[第四回路例]

図 6 は、第四回路例に係る画素回路 1 1 D の構成を示す回路図であり、図中、図 4 と同等部分については同一符号を付して示している。本回路例に係る画素回路 1 1 D においては、第二の走査線 1 5 B と第三の走査線 1 5 C とを共通化し、共通の走査パルス S C A N 2 によって第三のトランジスタ 2 3 と第四のトランジスタ 2 4 とを駆動する構成を採っている。この場合、第三のトランジスタ 2 3 と第四のトランジスタ 2 4 としては逆導電型のものを用いる。本回路例では、第三のトランジスタ 2 3 として N チャネルトランジスタを、第四のトランジスタ 2 4 として P チャネルトランジスタをそれぞれ用いている。

【0064】

[第五回路例]

図 7 は、第四回路例に係る画素回路 1 1 E の構成を示す回路図であり、図中、図 4 と同等部分については同一符号を付して示している。本回路例に係る画素回路 1 1 E においては、第三の走査線 1 5 C と第四の走査線 1 5 D とを共通化し、共通の走査パルス S C A N 4 によって第四のトランジスタ 2 4 と第五のトランジスタ 2 5 とを駆動する構成を採っている。この場合、第四のトランジスタ 2 4 と第五のトランジスタ 2 5 としては逆導電型のものを用いる。本回路例では、第四のトランジスタ 2 4 として P チャネルトランジスタを、第五のトランジスタ 2 5 として N チャネルトランジスタをそれぞれ用いている。

【0065】

[第六回路例]

図 8 は、第六回路例に係る画素回路 1 1 F の構成を示す回路図であり、図中、図 4 と同等部分については同一符号を付して示している。本回路例に係る画素回路 1 1 F においては、第二の走査線 1 5 B と第三の走査線 1 5 C と第四の走査線 1 5 D とを共通化し、共通の走査パルス S C A N 2 によって第三のトランジスタ

23と第四のトランジスタ24と第五のトランジスタ25とを駆動する構成を採っている。この場合、第三、第五のトランジスタ23、25と第四のトランジスタ24としては逆導電型のものを用いる。本回路例では、第三、第五のトランジスタ23、25としてNチャネルトランジスタを、第四のトランジスタ24としてPチャネルトランジスタをそれぞれ用いている。

【0066】

上述した第三乃至第六回路例に係る画素回路11C～11Fにおいて、しきい値電圧補正、データ書き込みおよびデータ保持の各動作については、第二回路例に係る画素回路11Bと同様である。したがって、しきい値電圧補正機能についても第二回路例に係る画素回路11Bと同様に実現されることになる。

【0067】

このように、第三乃至第六回路例に係る画素回路11C～11Fにおいては、第二、第三、第四の走査線15B、15C、15Dのうちの2本または3本全てを共通化する構成を採っているため、走査線の削減による画素回路の小型化が可能となる。また、走査線の共通化により、スキャンドライバ14（図1参照）から出力する走査パルス数が少なくて済み、それに伴ってスキャンドライバ14の出力バッファ等の削減が可能になるため、スキャンドライバ14の構成の簡略化に寄与できる。

【0068】

なお、以上説明した第一乃至第六回路例11A～11Fにおいて、第三の電源線33の電源電圧VCC3を第一の電源線31の電源電圧VCC1とは異なる電圧値に設定されることが前提となるが、その大小関係については特に規定されるものではない。

【0069】

[第七回路例]

図9は、第七回路例に係る画素回路11Gの構成を示す回路図であり、図中、図4と同等部分については同一符号を付して示している。本回路例に係る画素回路11Gにおいては、第一の電源線31と第三の電源線33とを共通化し、第一のキャパシタ26に対して固定電位V_oとして電源電圧VCC1を与える構成を

採っており、それ以外の構成については第二回路例に係る画素回路 11B と同様である。したがって、しきい値電圧補正機能についても第二回路例に係る画素回路 11B と同様に実現されることになる。

【0070】

このように、第一の電源線 31 と第三の電源線 33 とを共通化した構成を採ることにより、電源線数を削減できるため、しきい値電圧補正機能を第二回路例に係る画素回路 11B と同様に有しつつ、画素回路の小型化が可能となる。また、電源電圧が 1 つ減ることになるため、その分だけ電源回路の構成の簡略化に寄与できる。

【0071】

また、本回路例に係る画素回路 11G では、第二回路例に係る画素回路 11B の回路構成を前提として、第一の電源線 31 と第三の電源線 33 とを共通化するとしたが、第一の電源線 31 と第三の電源線 33 とを共通化した上でさらに、第三回路例に係る画素回路 11C と同様に、第二の走査線 15B と第四の走査線 15D とを共通化する構成を採ることも可能である。

【0072】

なお、以上説明した各回路例 11A ～ 11G において、第一乃至第五のトランジスタ 21 ～ 25 のソース端が第一電極端に、ドレイン端が第二電極端にそれぞれ対応するものとする。第一乃至第五のトランジスタ 21 ～ 25 の導電型については、上記各回路例のものに限られるものではなく、適宜逆導電型のものに変更することが可能である。

【0073】

次に、信号線 13 の電位の決定方法について説明する。2 トランジスタの従来例に係る画素回路（図 12）および第二回路例に係る画素回路 11B（図 4）における入力データとそのときの信号線 103、13 の電位との関係を図 10 に示す。

【0074】

従来例に係る画素回路では、信号線 103 の電位は電源電圧 VCC1 に依存するため、電源電圧 VCC1 が大きい場合、信号線 103 の電位も高くなる傾向が

あった。これに対して、第二回路例に係る画素回路 11B では、式 (7) が成り立つことから、輝度データが電源電圧 V_{CC3} との差分によって決定される。したがって、電源電圧 V_{CC3} を電源電圧 V_{CC1} と独立に小さく設定することが可能である。

【0075】

そして、電源電圧 V_{CC3} を電源電圧 V_{CC1} に対して極めて小さく設定することにより、信号線駆動回路であるデータドライバ 12 の低電圧化を図ることができるため、低消費電力化が可能になる。また、現実の画素回路では、配線間やトランジスタに多くの寄生容量が存在するため、正確な輝度データを供給することが難しい。そこで、電源電圧 V_{CC3} を可変とすることにより、正確な階調表示を行うための微調整として用いることも可能である。このことは、第三乃至第六回路例に係る画素回路 11C ~ 11F についても同様である。

【0076】

なお、上記実施形態においては、画素の表示素子として有機 EL 素子を、能動素子としてポリシリコン薄膜トランジスタをそれぞれ用い、ポリシリコン薄膜トランジスタを形成した基板上に有機 EL 素子を形成してなるアクティブマトリクス型有機 EL ディスプレイに適用する場合を例に採って説明したが、本発明はアクティブマトリクス型有機 EL ディスプレイへの適用に限られるものではなく、画素毎に表示素子を有し、画素内に輝度データを保持することが可能なアクティブマトリクス型表示装置全般に適用可能である。

【0077】

【発明の効果】

以上説明したように、本発明によれば、しきい値電圧の補正に必要な固定電位を、信号線とは異なる電源線から供給するようにしたことで、1 水平期間をデータ書込期間として設定できるとともに、その直前にしきい値電圧補正期間として任意の期間を設定できるため、しきい値電圧補正期間として十分に長い期間を確保できる。これにより、トランジスタのしきい値電圧ばらつきを画素毎に確実に補正できるため、輝度の均一性を向上できるとともに、ディスプレイの高精細化が可能となる。

【 0 0 7 8 】

また、信号線駆動回路からは信号線に対して、従来技術のようにしきい値補正期間で固定電位、データ書込期間でデータ電位＋固定電位をそれぞれ供給する必要がなくなり、データ電位のみを順次供給すれば良いことになるため、信号線駆動回路の構成を簡略化でき、しかも固定電位が無くなる分だけ信号線駆動回路の電源電圧を低電圧化できるため、ディスプレイ全体の低消費電力化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図 2】

第一回路例に係る画素回路の構成を示す回路図である。

【図 3】

第一回路例に係る画素回路の動作説明のためのタイミングチャートである。

【図 4】

第二回路例に係る画素回路の構成を示す回路図である。

【図 5】

第三回路例に係る画素回路の構成を示す回路図である。

【図 6】

第四回路例に係る画素回路の構成を示す回路図である。

【図 7】

第五回路例に係る画素回路の構成を示す回路図である。

【図 8】

第六回路例に係る画素回路の構成を示す回路図である。

【図 9】

第七回路例に係る画素回路の構成を示す回路図である。

【図 1 0】

入力データとそのときの信号線の電位との関係を示す図である。

【図 1 1】

最も簡単なアクティブマトリクス型有機 E L ディスプレイの構成の概略を示すブロック図である。

【図 1 2】

2 トランジスタの画素回路の構成を示す回路図である。

【図 1 3】

従来例に係る画素回路の構成を示す回路図である。

【図 1 4】

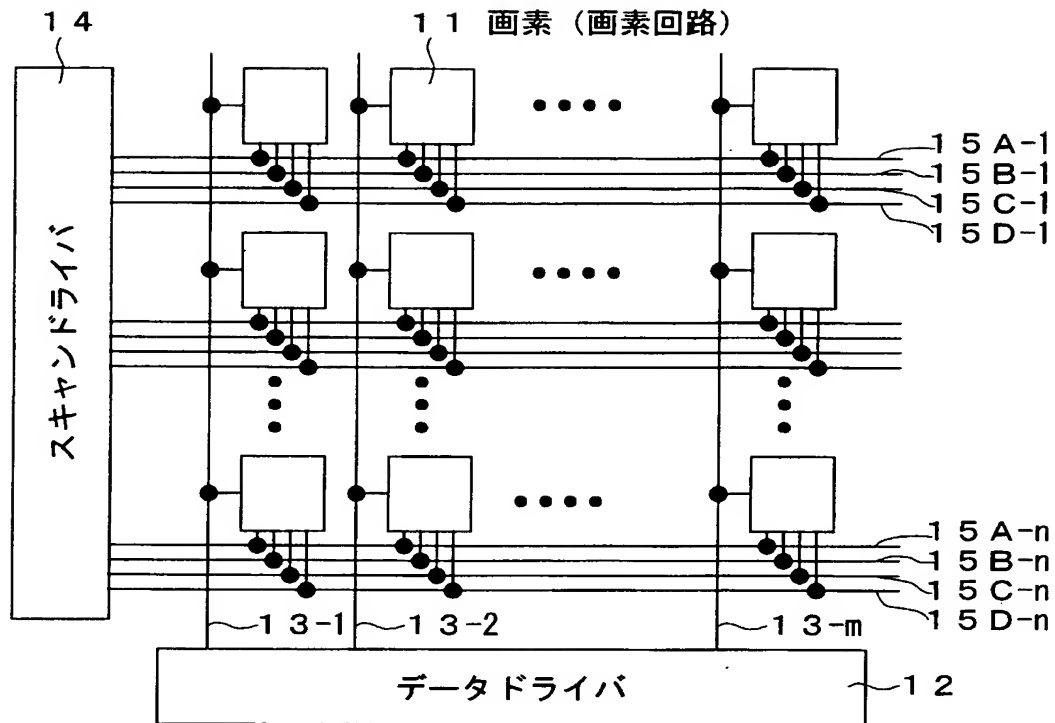
従来例に係る画素回路の動作説明のためのタイミングチャートである。

【符号の説明】

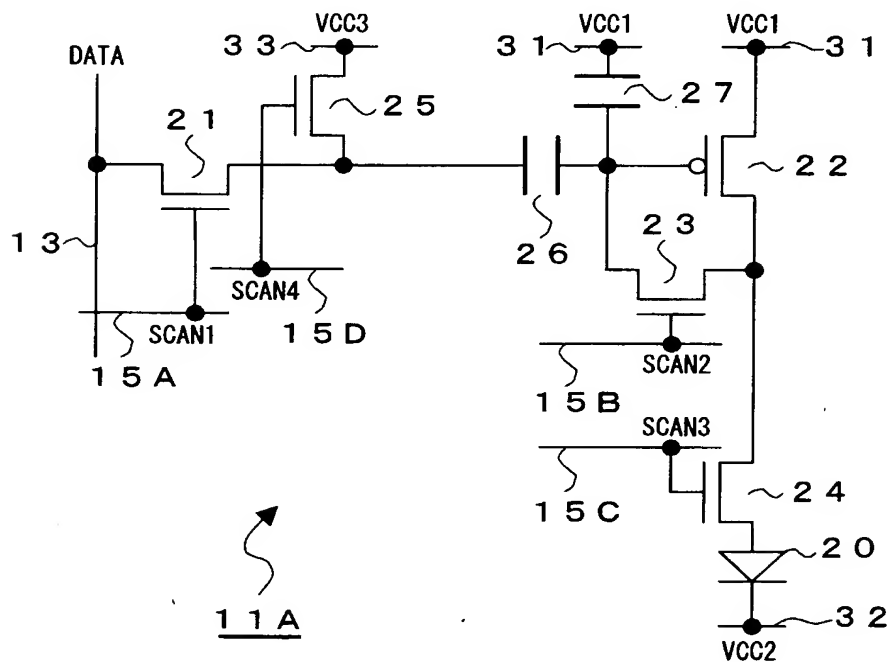
1 1, 1 1 A, 1 1 B, 1 1 C, 1 1 D, 1 1 E, 1 1 F, 1 1 G…画素回路（画素）、1 2…データドライバ（信号線駆動回路）、1 3…信号線、1 4…スキャンドライバ（走査線駆動回路）、1 5 A…第一の走査線、1 5 B…第二の走査線、1 5 C…第三の走査線、1 5 D…第四の走査線、2 1…第一のトランジスタ、2 2…第二のトランジスタ、2 3…第三のトランジスタ、2 4…第四のトランジスタ、2 5…第五のトランジスタ、2 6…第一のキャパシタ、2 7…第二のキャパシタ、3 1…第一の電源線、3 2…第二の電源線、3 3…第三の電源線

【書類名】 図面

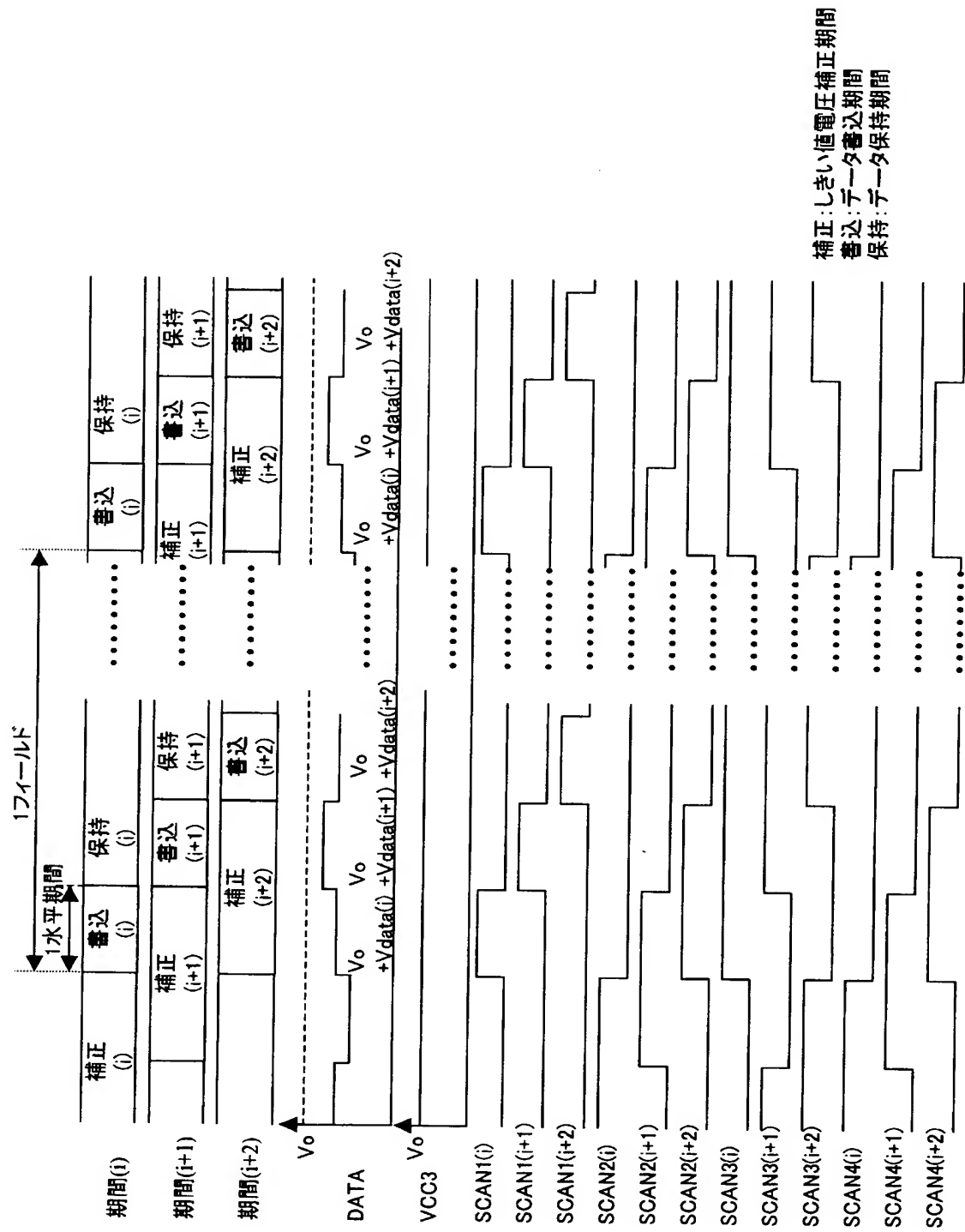
【図 1】



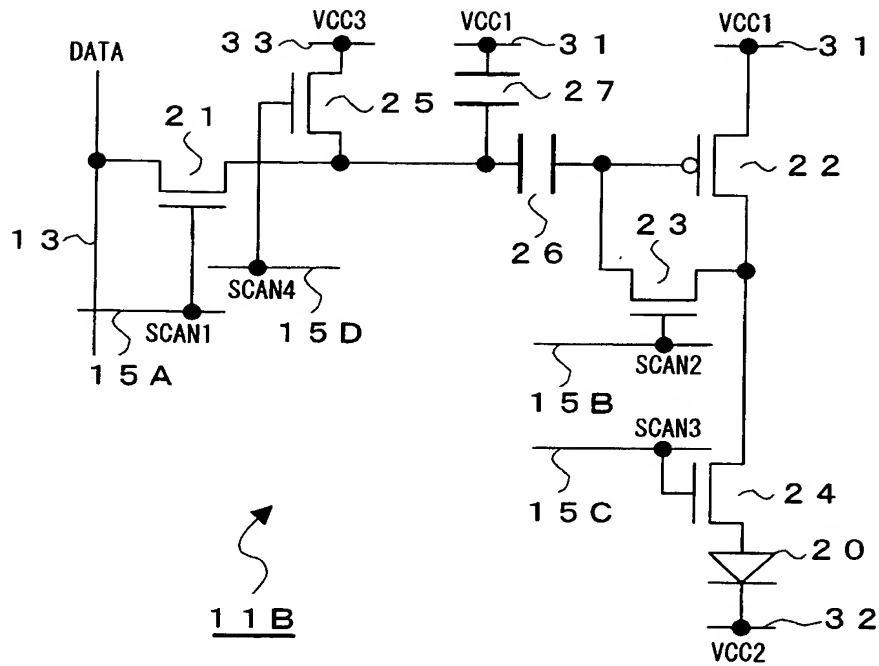
【図 2】



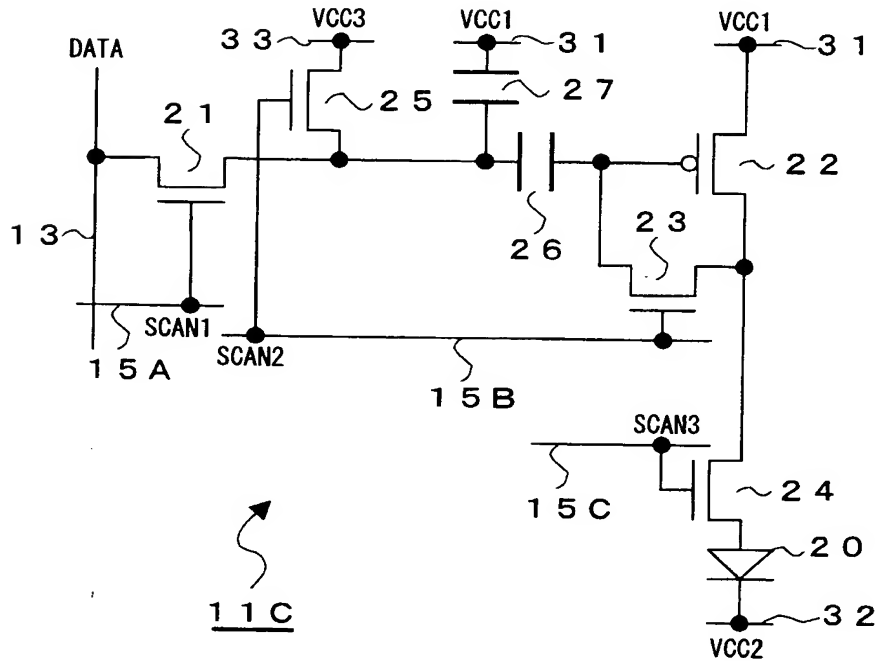
【図 3】



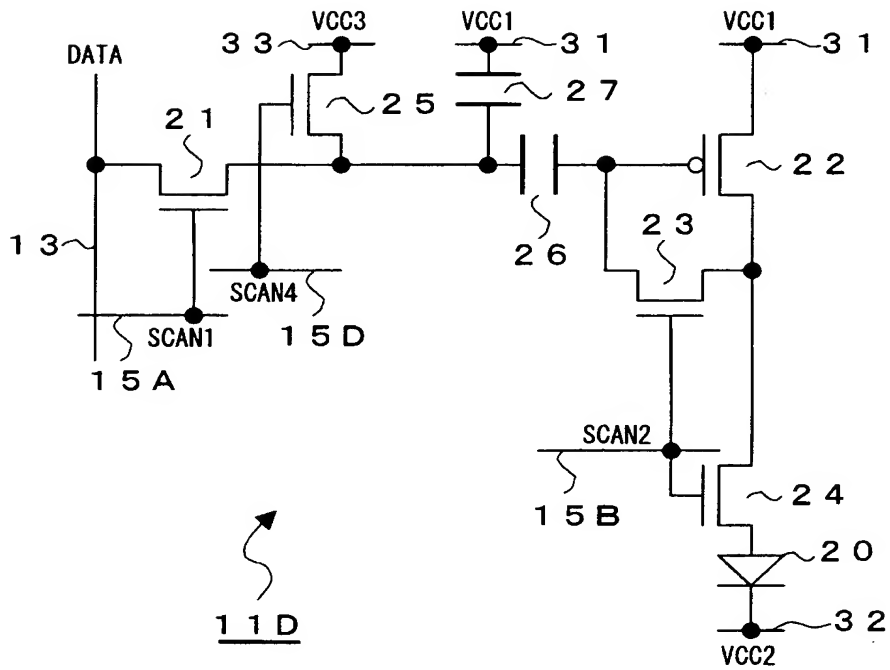
【図 4】



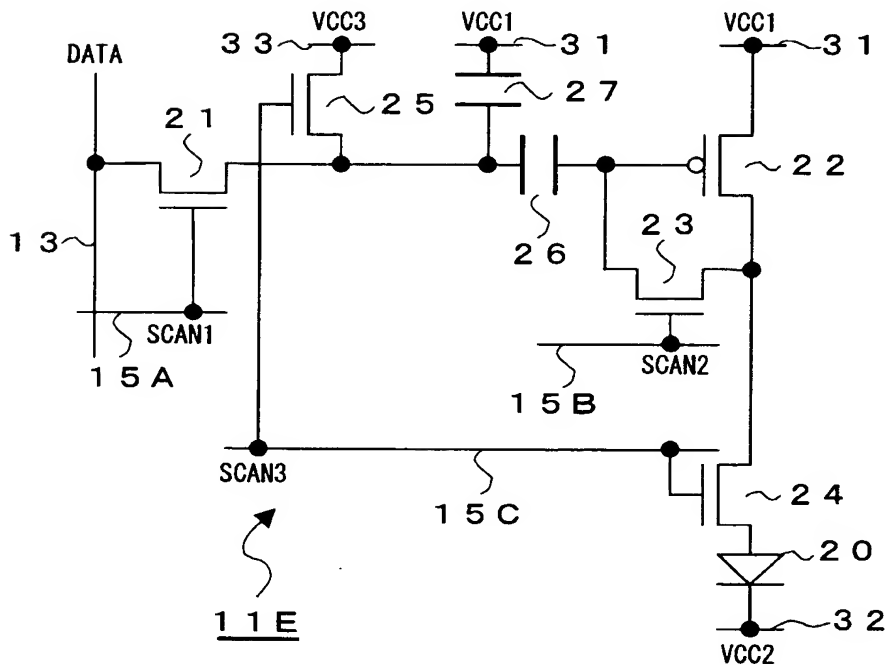
【図 5】



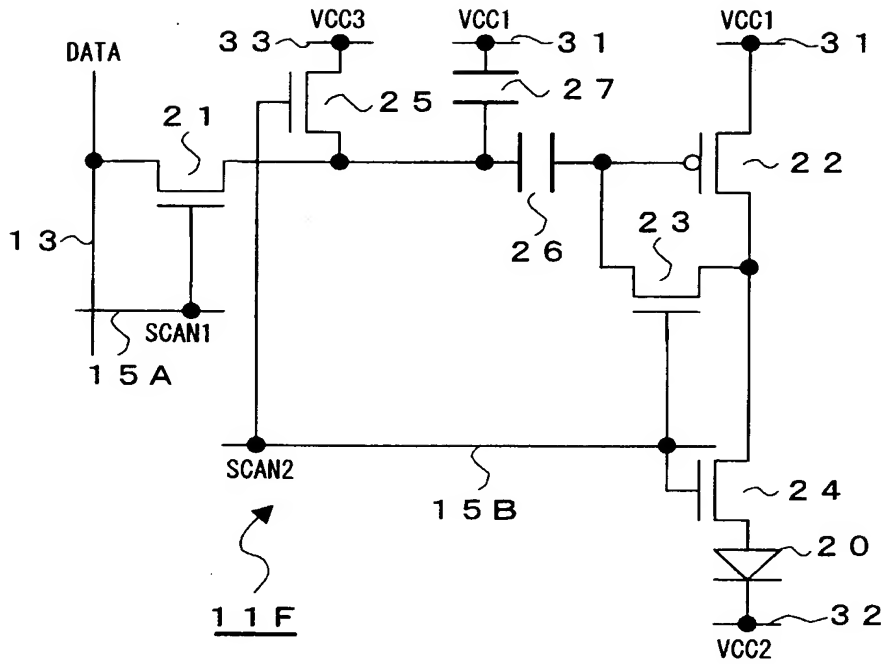
【図 6】



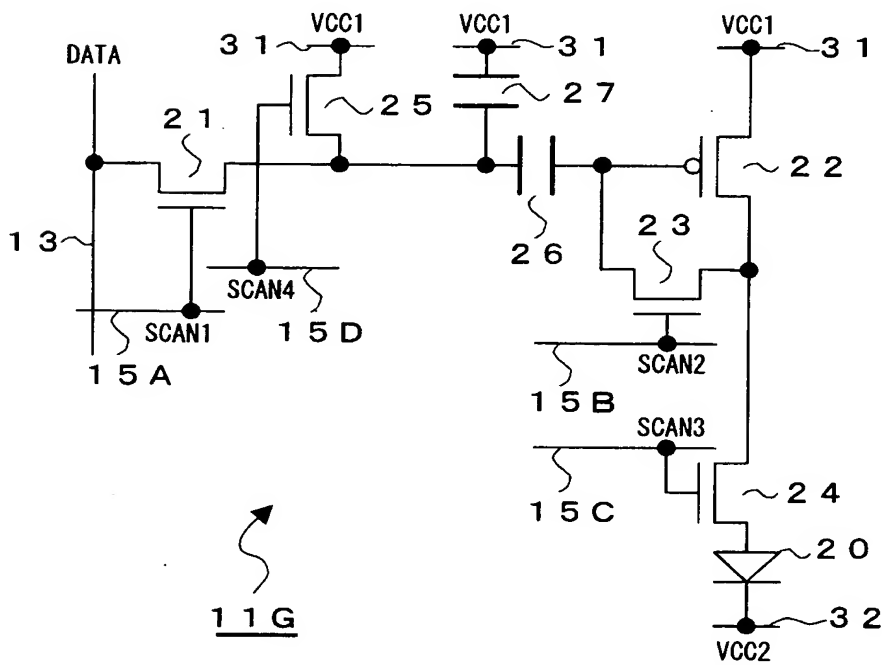
【図 7】



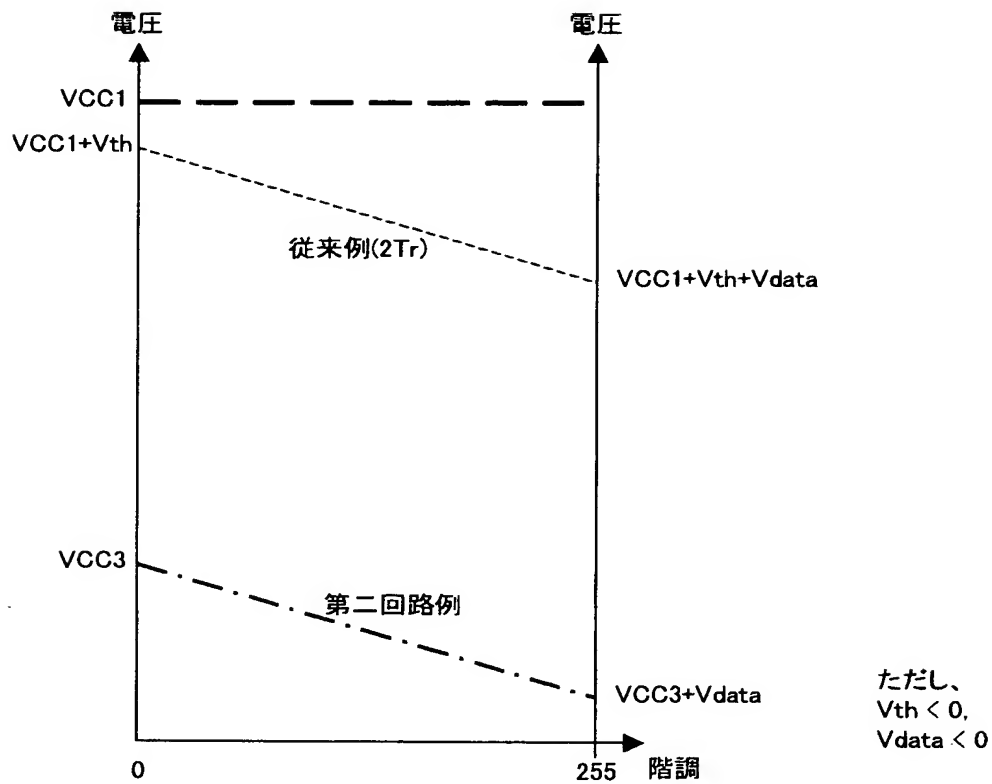
【図 8】



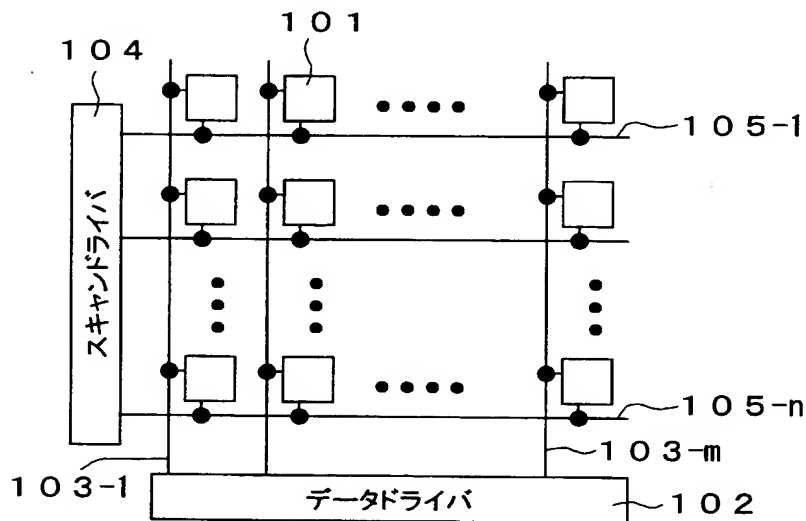
【図 9】



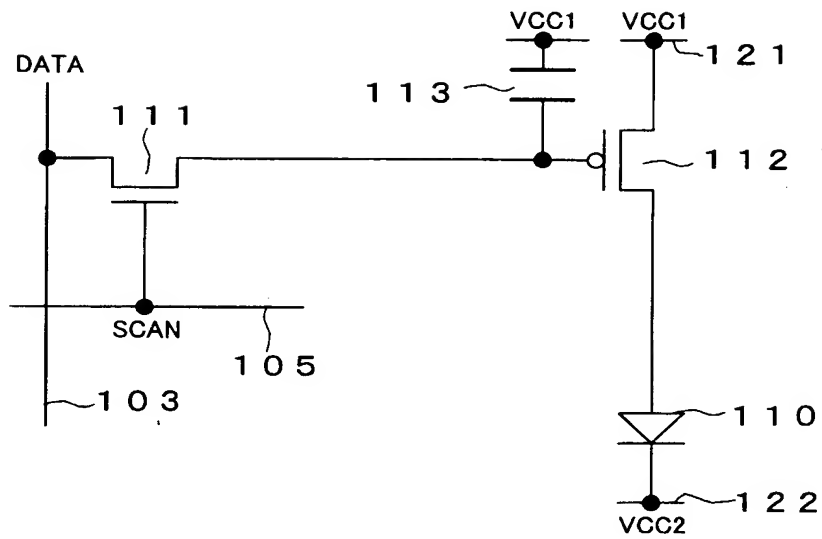
【図 10】



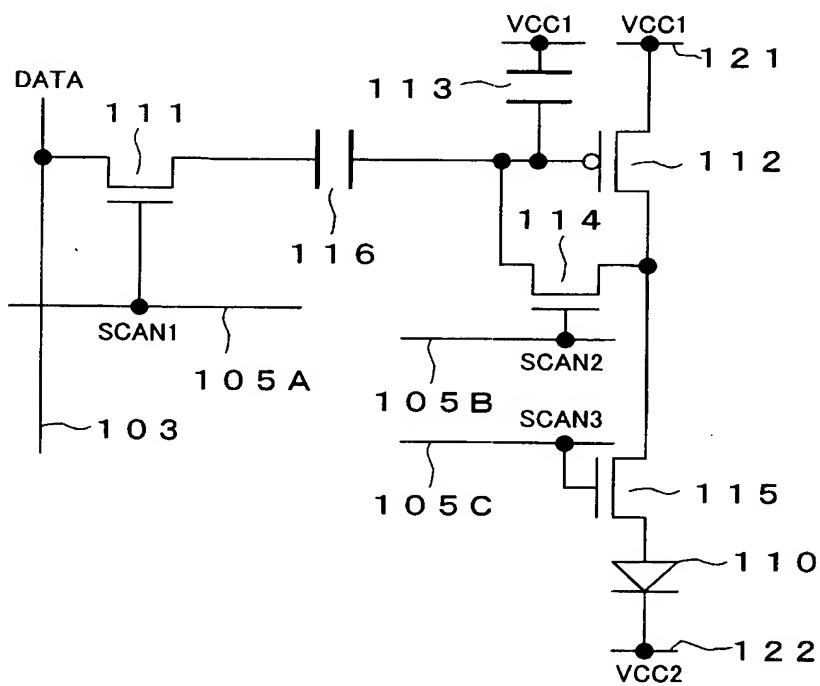
【図 11】



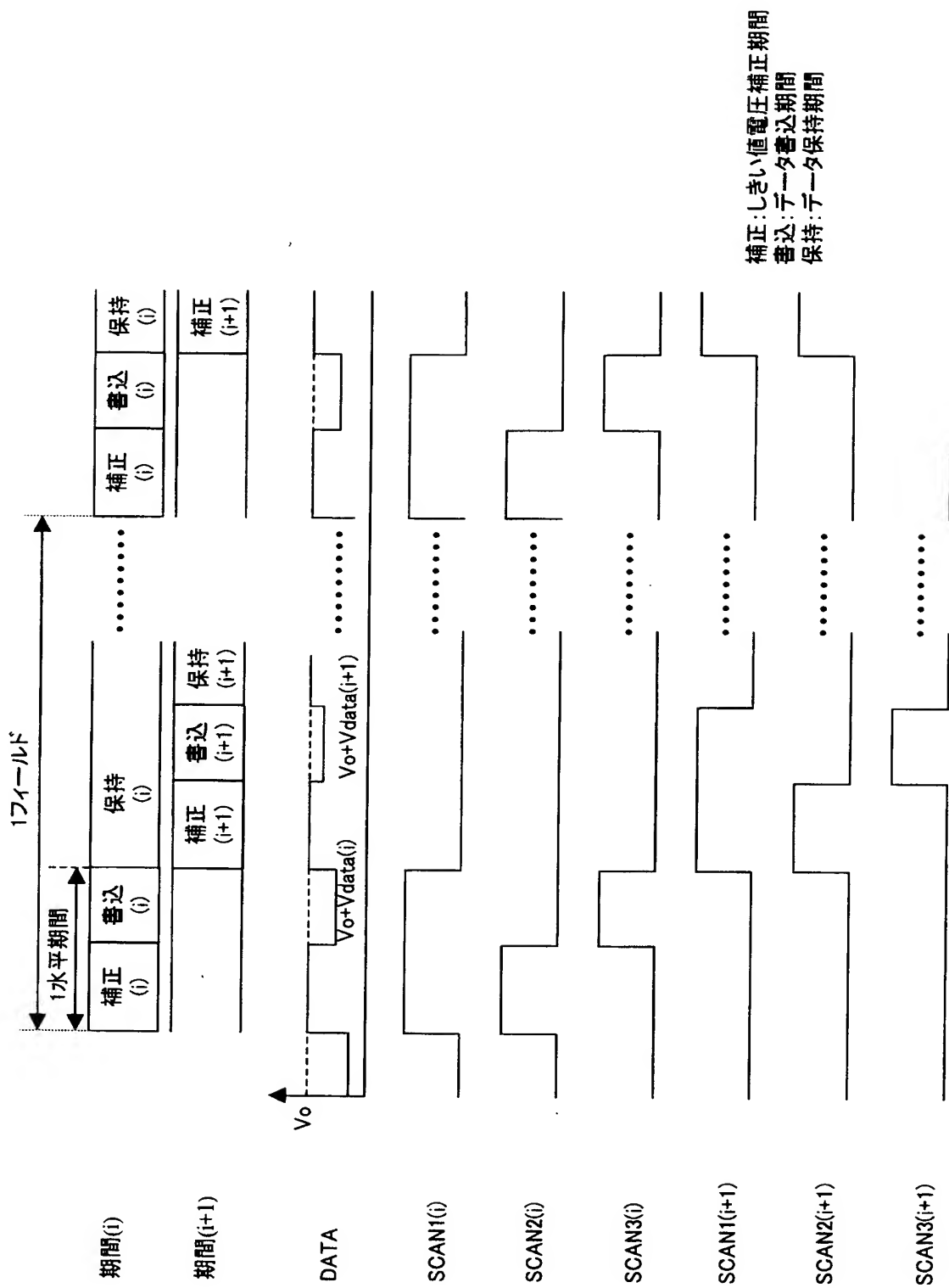
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 しきい値補正期間で固定電位、データ書込期間でデータ電位＋固定電位をそれぞれ信号線から供給する構成を採ると、1 水平期間内にしきい値電圧補正期間とデータ書込期間とを連続して設ける必要があるため、しきい値電圧補正期間として長い期間を確保できない。

【解決手段】 電源線 3 3 と第一のトランジスタ 2 1 のドレイン端との間に第五のトランジスタ 2 5 を接続して、しきい値電圧の補正に必要となる固定電位として、信号線 1 3 とは異なる電源線 3 3 の電源電圧 V C C 3 を第五のトランジスタ 2 5 を介して供給するようにすることで、しきい値電圧補正期間として十分に長い期間を確保し、第二のトランジスタ 2 2 のしきい値電圧ばらつきを画素毎に確実に補正できるようにする。

【選択図】 図 2

特願 2 0 0 2 - 2 9 8 4 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社